

IMAGE PICKUP DEVICE

Patent Number: JP2003158660
Publication date: 2003-05-30
Inventor(s): WATANABE TORU
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: JP2003158660
Application Number: JP20020094748 20020329
Priority Number(s):
IPC Classification: H04N5/225; H01L27/148; H04N5/335
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an image pickup device the circuit scale of which can be reduced.

SOLUTION: First and second timing control circuits 50a, 50b are located corresponding to first and second CCD solid-state imaging elements 31a, 31b. A selection circuit 36 is provided as a common circuit at the output side of the first and second CCD solid-state imaging elements 31a, 31b. The selection circuit 36 alternately capture first and second image signals Ya(t), Yb(t) outputted from the first and second CCD solid-state imaging elements 31a, 31b by each prescribed time to provide an output of an image signal Y(t).

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-158660

(P2003-158660A)

(43)公開日 平成15年5月30日 (2003.5.30)

(51)Int.Cl.⁷

H 04 N 5/225
H 01 L 27/148
H 04 N 5/335

識別記号

F I

H 04 N 5/225
5/335
H 01 L 27/14

テ-マコ-ト(参考)

Z 4 M 1 1 8
Z 5 C 0 2 2
B 5 C 0 2 4

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21)出願番号 特願2002-94748(P2002-94748)
(22)出願日 平成14年3月29日 (2002.3.29)
(31)優先権主張番号 特願2001-272022(P2001-272022)
(32)優先日 平成13年9月7日 (2001.9.7)
(33)優先権主張国 日本 (JP)

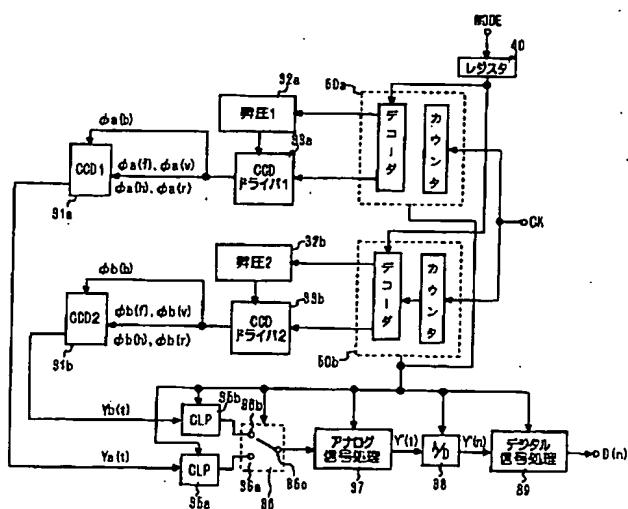
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 渡辺 透
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100111383
弁理士 芝野 正雅
F ターム(参考) 4M118 AA04 AB01 BA12 DB09 DD09
FA06 FA13 FA38 GB09 GC08
5C022 AA01 AB61 AB67 AC01
5C024 CY42 EX17 GY01 HX02

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 撮像装置の回路規模を縮小化する。

【解決手段】 第1及び第2のタイミング制御回路50a、50bは、第1及び第2のCCD固体撮像素子31a、31bに対応付けられて配置される。選択回路36は、第1及び第2のCCD固体撮像素子31a、31bの出力側に共通の回路として設けられる。この選択回路36は、第1及び第2のCCD固体撮像素子31a、31bから出力される第1及び第2の画像信号Ya(t)、Yb(t)を所定時間毎に交互に取り込んで画像信号Y(t)として出力する。



【特許請求の範囲】

【請求項 1】 複数の受光画素が行列配置され、第 1 の被写体映像に応答して発生する情報電荷を各受光画素に蓄積する第 1 の固体撮像素子と、複数の受光画素が行列配置され、第 2 の被写体映像に応答して発生する情報電荷を各受光画素に蓄積する第 2 の固体撮像素子と、前記第 1 の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第 1 の画像信号を得る第 1 の駆動回路と、前記第 2 の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第 2 の画像信号を得る第 2 の駆動回路と、一定周期の基準クロックに基づいて前記第 1 の固体撮像素子の垂直走査及び水平走査のタイミングを決定する第 1 のタイミング制御回路と、前記基準クロックに基づいて前記第 2 の固体撮像素子の垂直走査及び水平走査のタイミングを決定する第 2 のタイミング制御回路と、前記第 1 及び第 2 の固体撮像素子の動作タイミングに同期して前記第 1 及び第 2 の画像信号の何れか一方を選択的に出力する選択回路と、前記選択回路からの出力を受けて所定の画像信号を生成する信号処理回路と、を備え、前記選択回路は、所定の時間毎に交互に前記第 1 及び第 2 の画像信号を選択することを特徴とする撮像装置。

【請求項 2】 請求項 1 に記載の撮像装置において、前記第 1 の画像信号をクランプして前記選択回路に供給する第 1 のクランプ回路と、前記第 2 の画像信号をクランプして前記選択回路に供給する第 2 のクランプ回路と、を更に備え、前記第 1 及び第 2 のクランプ回路は、同一のクランプレベルを有することを特徴とする撮像装置。

【請求項 3】 請求項 1 に記載の撮像装置において、前記選択回路の出力をクランプして前記信号処理回路へ出力するクランプ回路を更に備えたことを特徴とする撮像装置。

【請求項 4】 請求項 1 乃至請求項 3 の何れかに記載の撮像装置において、入力される電圧を昇圧して生成する第 1 の昇圧電圧を前記第 1 の駆動回路へ供給する第 1 の昇圧回路と、入力される電圧を昇圧して生成する第 2 の昇圧電圧を前記第 2 の駆動回路へ供給する第 2 の昇圧回路と、を更に備えたことを特徴とする撮像装置。

【請求項 5】 請求項 1 乃至請求項 3 の何れかに記載の撮像装置において、入力される電圧を昇圧して昇圧電圧を生成する昇圧回路を更に備え、前記昇圧回路は、前記昇圧電圧を生成する昇圧部と、前記昇圧電圧を前記第 1 及び第 2 の固体撮像素子の動作タ

イミングに同期して前記第 1 及び第 2 の駆動回路の何れか一方に選択的に出力する出力選択部と、を含むことを特徴とする撮像装置。

【請求項 6】 請求項 1 に記載の撮像装置において、前記信号処理回路は、前記第 1 及び第 2 の画像信号をそれぞれ取り込み、所定の期間単位で積分する第 1 及び第 2 の積分回路と、

前記第 1 及び第 2 の積分回路の各出力に基づいて、前記第 1 及び第 2 の固体撮像素子の露光状態をそれぞれ独立して制御する露光制御回路と、を含むことを特徴とする撮像装置。

【請求項 7】 請求項 6 に記載の撮像装置において、前記信号処理回路は、前記第 1 及び第 2 の画像信号をそれぞれ取り込み、所定の期間単位で積分する第 3 及び第 4 の積分回路と、

前記第 3 及び第 4 の積分回路の各出力に基づいて、前記第 1 及び第 2 の画像信号のホワイトバランスをそれぞれ独立して補正するホワイトバランス制御回路と、を更に含むことを特徴とする撮像装置。

【請求項 8】 請求項 1 に記載の撮像装置において、前記第 1 及び第 2 の固体撮像素子は、互いに駆動条件が異なることを特徴とする撮像装置。

【請求項 9】 請求項 8 に記載の撮像装置において、前記第 2 の固体撮像素子は、前記第 1 の固体撮像素子よりも赤外感度が高く設定されることを特徴とする撮像装置。

【請求項 10】 請求項 8 に記載の撮像装置において、前記第 1 及び第 2 の固体撮像素子は、受光画素数が互いに異なることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、複数の固体撮像素子を用いて複数の被写体映像を撮像し、それによって得られる複数系列の画像信号を合成する撮像装置に関する。

【0002】

【従来の技術】デジタルスチルカメラ等の撮像装置において、複数の固体撮像素子を搭載し、互いに異なる被写体を同時に撮像することが考えられている。このような撮像装置では、複数の固体撮像装置から得られる複数系列の画像信号を合成して、例えば、1つの表示画面上に複数の再生画像を表示するように構成される。図 10 は、複数の固体撮像素子を搭載した撮像装置の一例を示すブロック図である。

【0003】図 10 に示す撮像装置は、2つの被写体映像を撮像するために、それぞれの被写体に対応して 2 つの撮像装置 20a、20b を有しており、メモリコントローラ 9 によって、それぞれの出力が制御される。

【0004】第 1 の撮像装置 20a は、第 1 の CCD 固体撮像素子 1a、第 1 の昇圧回路 2a、第 1 の CCD ド

ライバ回路3a、第1のタイミング制御回路4a、第1のアナログ信号処理回路5a、第1のA/D変換回路6a、第1のデジタル信号処理回路7a及び第1のメモリ8aから構成され、第1の撮像系をなしている。第1のCCD固体撮像素子1aは、複数の受光画素が行列配置され、入射される第1の被写体画像に応答して発生した情報電荷を各受光画素に蓄積する。また、第1のCCD固体撮像素子1aは、各受光画素に発生する過剰な情報電荷を基板側へ吸収させる、いわゆる縦型オーバーフロードライン構造を有しており、各受光画素に蓄積される情報電荷の基板側への排出が可能になっている。

【0005】第1の昇圧回路2aは、入力される電源電圧 V_D (図示せず)を昇圧して昇圧電圧を発生し、第1のCCDドライバ回路3aへ供給する。第1のCCDドライバ回路3aは、第1の昇圧回路2aで生成される昇圧電圧を用いて複数のクロックパルスを生成し、第1のCCD固体撮像素子1aへ供給する。これら複数のクロックパルスは、第1のタイミング制御回路4aから供給される各種タイミング信号に基づいて生成される。これにより、第1のCCD固体撮像素子1aの各受光画素に蓄積された情報電荷の電荷量に応じた画像信号 $Y(t)$ が、第1のCCD固体撮像素子1aから1画素単位で取り出される。

【0006】第1のタイミング制御回路4aは、一定周期の基準クロックCKをカウントする複数のカウンタからなり、基準クロックCKを分周して垂直同期信号 V_D 及び水平同期信号 H_D を生成する。そして、これら垂直同期信号 V_D 及び水平同期信号 H_D に同期するタイミングで、第1のCCDドライバ回路1bに供給する各種タイミング信号を生成する。これにより、第1のCCD固体撮像素子1aからは、水平同期信号 H_D に同期するタイミングで1ライン毎の画像信号 $Y(t)$ が出力され、垂直同期信号 V_D に同期するタイミングで1画面毎の画像信号 $Y(t)$ が出力される。

【0007】第1のアナログ信号処理回路5aは、第1のCCD固体撮像素子1aから出力される画像信号 $Y_a(t)$ に対して、CDS(Correlated Double Sampling: 相関二重サンプリング)、AGC(Automatic Gain Control: 自動利得制御)等のアナログ信号処理を施す。CDSでは、リセットレベルと信号レベルとを繰り返す画像信号に対し、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルの連続する画像信号を生成する。AGCでは、CDSで取り出された画像信号を1画面、或いは、1垂直走査期間単位で積分して、その積分データを所定の範囲内に収めるようにゲイン調整を行う。第1のA/D変換器6aは、第1のアナログ信号処理回路5aから出力される第1の画像信号 $Y_a(t)$ を第1のCCD固体撮像素子1aの出力タイミングに同期して規格化し、デジタル信号の第1の画像データ $Y_a(n)$ を出力する。

【0008】第1のデジタル信号処理回路7aは、第1の画像データ $Y_a(n)$ に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データ $Y'(n)$ を生成する。また、第1のデジタル信号処理回路7aでは、露光制御回路及びホワイトバランス制御回路を内蔵し、第1のCCD固体撮像素子1aの露光状態を制御する露光制御、画像信号 $Y(t)$ のホワイトバランスを調整するホワイトバランス補正処理を施す。第1のメモリ8aはフレームメモリであり、メモリコントローラ9からの書き込み指示に応答して第1のデジタル信号処理回路7aから出力される輝度データ及び色差データを1画面単位で格納する。

【0009】第2の撮像装置20bは、第2のCCD固体撮像素子1b、第2の昇圧回路2b、第2のCCDドライバ回路3b、第2のタイミング制御回路4b、第2のアナログ信号処理回路5b、第2のA/D変換回路6b、第2のデジタル信号処理回路7b及び第2のメモリ8bから構成され、第2の撮像系をなしている。この第2の撮像装置20bを構成する各回路は、第1の撮像装置20aを構成する各回路と同一の回路構成であり、第2のCCD固体撮像素子1bから出力される第2の画像信号に対して同等の処理を行う。

【0010】メモリコントローラ9は、第1及び第2のメモリ8a、8bからの第1及び第2の画像データの読み出しタイミングを制御し、第1の撮像装置20aで撮像された撮影画像と第2の撮像装置20bで撮像された撮影画像とが、单一の表示画面上で再生されるように制御する。例えば、図11(a)に示すように、单一の表示画面で垂直方向に分割された2つの領域に、第1の撮像装置20aで撮像された第1の撮影画像Aと第2の撮像装置20bで撮像された第2の撮影画像Bとをそれぞれ表示する場合、第1及び第2のメモリ8a、8bから第1の撮影画像Aに対応する第1の画像データ $Y_a(n)$ と第2の撮影画像Bに対応する第2の画像データ $Y_b(n)$ とを取り出すようとする。その後、表示画面上での表示形態に合うように2つの画像データを合成する。また、図11(b)に示すように、表示画面上に主として第1の撮像画像Aを表示し、表示画面の左下の1/4の領域に第2の撮像画像Bを縮小表示する場合、第1のメモリ8aから表示画面の上半分に相当する第1の画像データ $Y_a(n)$ を読み出し、その後、第1及び第2のメモリ8a、8bから表示画面の下半分の領域に相当する第1の画像データ $Y_a(n)$ と第2の画像データ $Y_b(n)$ とを読み出す。このとき、第2の撮影画像Bが表示画面上に割り当てられた領域で1画面分を表示するために、第2のメモリ8aから読み出される1画面分の画像データを1/4のデータに圧縮する。そして、第1の画像データ $Y_a(n)$ と圧縮された第2の画像データ $Y_b(n)$ とを合成して、第1の撮影画像Aと1/4に縮小された第2の撮影画像Bとを1つの表示画面上に同時に表示する。

【0011】

【発明が解決しようとする課題】上述のような複数の被写体映像を複数の固体撮像素子を用いて撮像し、単一の表示画面上に複数の撮影画像を合成して表示する撮像装置は、固体撮像素子、駆動回路、タイミング制御回路及び信号処理回路がそれぞれ複数組搭載されており、回路規模が大きくなると共に、消費電力も大きくなるという不都合があった。このため、固体撮像素子以外の回路を共有化して撮像装置の回路規模を小型化することが考えられるが、撮像装置に含まれる回路のどこを共通にするかは多数の選択肢があり、これらの選択肢のうちから単純に共有化する回路を選択すると、機能低下等の弊害を招いてしまう。例えば、駆動系を共有化した場合、複数の固体撮像素子を同時に駆動することができず、それぞれの固体撮像素子のフレームレートが低下してしまう。

【0012】そこで、本願発明は、複数の固体撮像素子を用いた撮像装置において、個別に設ける回路と共通にする回路との最適な組み合わせを見出し、回路規模の縮小を実現すると共に、効率的な動作を可能とする撮像装置の提供を目的とする。

【0013】

【課題を解決するための手段】本願発明は、上述の課題を解決するために成されたもので、その特徴とするところは、複数の受光画素が行列配置され、第1の被写体映像に応答して発生する情報電荷を各受光画素に蓄積する第1の固体撮像素子と、複数の受光画素が行列配置され、第2の被写体映像に応答して発生する情報電荷を各受光画素に蓄積する第2の固体撮像素子と、前記第1の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第1の画像信号を得る第1の駆動回路と、前記第2の固体撮像素子の各受光画素に蓄積された情報電荷を転送出力して第2の画像信号を得る第2の駆動回路と、一定周期の基準クロックに基づいて前記第1の固体撮像素子の垂直走査及び水平走査のタイミングを決定する第1のタイミング制御回路と、前記基準クロックに基づいて前記第2の固体撮像素子の垂直走査及び水平走査のタイミングを決定する第2のタイミング制御回路と、前記第1及び第2の固体撮像素子の動作タイミングに同期して前記第1及び第2の画像信号の何れか一方を選択的に出力する選択回路と、前記選択回路からの出力を受けて所定の画像信号を生成する信号処理回路と、を備え、前記選択回路は、所定の時間毎に交互に前記第1及び第2の画像信号を選択することを特徴とする。

【0014】本願発明によれば、第1及び第2の画像信号が第1及び第2の固体撮像素子から選択回路に取り込まれ、これら第1及び第2の画像信号が選択回路で所定の時間毎に選択されて出力される。この結果、選択回路の出力側で実質的に第1及び第2の画像信号が合成される。このため、選択回路以降の信号処理回路を第1及び第2の固体撮像素子で共有化することができる。

これに加え、タイミング制御回路を各固体撮像素子に対応付けて設けるため、互いに駆動条件の異なる複数の固体撮像素子を1つの撮像装置に組み込むことができる。

【0015】

【発明の実施の形態】図1は、本願発明の撮像装置の第1の実施形態の構成を示すブロック図である。この撮像装置は、2つの固体撮像装置を備えたものであり、第1及び第2のCCD固体撮像素子31a、31b、第1及び第2の昇圧回路32a、33b、第1及び第2のCCDドライバ回路33a、33b、タイミング制御回路34、第1及び第2のクランプ回路35a、35b、選択回路36、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39で構成される。

【0016】第1のCCD固体撮像素子31aは、例えば、図2に示すようなフレームトランスファ型の固体撮像素子であり、撮像部から蓄積部まで連続する複数の垂直シフトレジスタ1v、これら複数の垂直シフトレジスタ1vの出力側に配置される水平シフトレジスタ1h及びこの水平シフトレジスタ1hの出力側に配置される出力部1dより構成される。撮像部では、垂直シフトレジスタ1vが電気的に分離されて複数の受光画素が形成され、第1の被写体画像を受けて発生する情報電荷が各受光画素に蓄積される。また、撮像部では、複数の垂直シフトレジスタの一部の列が遮光されて所謂OPB(Optical Black)領域と称される領域に設定されている。撮像部の各受光画素に蓄積された情報電荷は、フレーム転送クロックφa(f)及び垂直転送クロックφa(v)によって蓄積部に高速で転送される。蓄積部に出力された情報電荷は、蓄積部で一時的に蓄積され、垂直転送クロックφa(v)によって水平シフトレジスタ1hに1ライン単位で転送され、水平転送クロックφhによって水平シフトレジスタ1hから出力部1d側へ1画素単位で転送される。出力部1dへ出力された情報電荷は、1画素毎に容量に蓄積されることで、電荷量に応じた電圧値に変換され、画像信号Ya(t)として出力される。このとき、出力部1dでは、水平転送クロックφhに同期するリセットクロックφrに応答して容量に蓄積された情報電荷がドレインへ排出される。また、第1のCCD固体撮像素子31aは、撮像部に発生する過剰な電荷を基板側へ吸収する所謂縦型オーバーフロードレイン構造を有しており、撮像部に蓄積される情報電荷を基板クロックφa(b)によって基板側へ排出することが可能になっている。第2のCCD固体撮像素子31bは、第1のCCD固体撮像素子31aと同様に複数の受光画素が行列配置され、第2の被写体映像に応答して発生する情報電荷を各受光画素に蓄積し、この蓄積した情報電荷に応じた第2の画像信号Yb(t)を出力する。この第2のCCD固体撮像素子31bにおいても、縦型オーバーフロードレイン構造を有しており、基板側への情報電荷の排出が可能になっている。

【0017】第1の昇圧回路32aは、第1のCCD固体撮像素子31aに対応して配置され、入力される電源電圧V_D（図示せず）を昇圧して昇圧し、第1のCCDドライバ回路33aへ供給する。第2の昇圧回路33bは、第2のCCD固体撮像素子31bに対応して配置され、第1の昇圧回路32aと同様に、電源電圧V_Dを昇圧して得られる昇圧電圧を第2のCCDドライバ回路33bへ供給する。

【0018】第1のCCDドライバ回路33aは、タイミング制御回路34から供給されるタイミング信号に基づいて第1のフレーム転送クロックφ_{a(f)}、第1の垂直転送クロックφ_{a(v)}、第1の水平転送クロックφ_{a(h)}、第1のリセットクロックφ_{a(r)}及び第1の基板クロックφ_{a(b)}を生成し、第1のCCD固体撮像素子31aへ供給する。第2のCCDドライバ回路33bは、タイミング制御回路34から供給されるタイミング信号に基づいて第2のフレーム転送クロックφ_{b(f)}、第2の垂直転送クロックφ_{b(v)}、第2の水平転送クロックφ_{b(h)}、第2のリセットクロックφ_{b(r)}及び第2の基板クロックφ_{b(b)}を生成し、第2のCCD固体撮像素子33bへ供給する。これら第1及び第2のCCDドライバ回路33a、33bは、第1及び第2のCCD固体撮像素子31a、31bのそれぞれに対応して配置されており、このため、第1及び第2の固体撮像素子31a、31bの同時駆動が可能となっている。

【0019】タイミング制御回路34は、一定周期の基準クロックCKをカウントする複数のカウンタ34aと、このカウンタの出力をデコードするデコーダ34bからなり、デコーダ34bの設定値を変更することで様々なタイミング信号を複数生成することができる。このタイミング制御回路34は、第1及び第2のCCDドライバ回路33a、33bに対して共通に配置される。

【0020】また、タイミング制御回路34では、例えば、図3のように設定される複数の表示モードのそれぞれに対応する複数の設定データのうちから1つを後述するレジスタ40から受け、これに応じてデコーダ34bの設定値が変更される。これにより、各クロックパルスの供給開始タイミングや立ち上がりタイミングが変更される。例えば、図3(b)の場合、これに対応する設定データがデコーダ34bに与えられ、第1のCCDドライバ回路33aに供給するクロックパルスの位相と第2のCCDドライバ回路33bに供給するクロックパルスの位相とがずれるように各クロックパルスが生成される。そして、これらのクロックパルスが第1及び第2のCCD固体撮像素子31a、31bへ供給され、第1の画像信号Y_{a(t)}と第2の画像信号Y_{b(t)}とが時分割で出力されるように制御される。

【0021】レジスタ40は、複数の表示モードのそれぞれに対応付けられた複数の設定データを格納しており、外部から与えられる表示モード切り替え信号M_{OD}

Eを受けて、これによって指定される表示モードに対応した設定データをタイミング制御回路34に出力する。これにより、各クロックパルスの供給開始のタイミングや、或いは、立ち上がりのタイミングが指定された表示モードに合わせて変更される。

【0022】第1のクランプ回路35aは、第1のCCD固体撮像素子31aに対応して配置され、第1の画像信号Y_{a(t)}をクランプして選択回路36に供給し、第2のクランプ回路35bは、第2のCCD固体撮像素子31bに対応して配置され、第2の画像信号Y_{b(t)}をクランプして選択回路36に供給する。これら第1及び第2のクランプ回路35a、35bは、互いに同一のクランプレベルを有しており、第1及び第2の画像信号Y_{a(t)}、Y_{b(t)}の互いの黒レベルと同じ電圧レベルに固定した後に供給するようしている。

【0023】選択回路36は、2つの入力端子36a、36bと1つの出力端子36cとを備えて構成され、第1及び第2のクランプ回路35a、35bから出力される第1及び第2の画像信号Y_{a(t)}、Y_{b(t)}を取り込んで、これらの信号の何れか一方を選択して画像信号Y(t)として出力する。選択回路36は、タイミング制御回路34から供給されるタイミング信号に従って動作し、第1のCCD固体撮像素子31aから第1の画像信号Y_{a(t)}が出力されている期間で入力端子36aと出力端子36cを接続し、第2のCCD固体撮像素子31bから第2の画像信号Y_{b(t)}が出力されている期間で入力端子36bと出力端子36cを接続する。即ち、選択回路36は、第1及び第2のCCD固体撮像素子31a、31bから時分割で出力される2系列の画像信号をこれらの出力タイミングに応じて選択的に取り込んで出力することで、その出力側で実質的に1系列の画像信号に合成している。

【0024】アナログ信号処理回路37は、選択回路36から出力される画像信号Y(t)を取り込み、CDS、AGC等の信号処理を施して画像信号Y'(t)を出力する。A/D変換回路38は、アナログ信号処理の施された画像信号Y'(t)をデジタル信号に変換し、画像データY(n)として出力する。デジタル信号処理回路39は、画像データY(n)に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データを生成する。更に、デジタル信号処理回路39は、露光制御回路、ホワイトバランス制御回路、積分回路を内蔵しており、画像データを所定の期間単位で積分して、その積分値に基づいて露光制御、ホワイトバランス補正を行う。尚、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39では、タイミング制御回路34の制御によって、第1及び第2の画像信号Y_{a(t)}、Y_{b(t)}のそれぞれに対する信号処理が時分割で別々に行われる。

【0025】以上のように、第1及び第2のCCD固体

撮像素子31a、31bに対して第1及び第2のCCDドライバ回路33a、33b、第1及び第2のクランプ回路35a、35bを個別に設け、アナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39を共有化することで、機能低下を防止しながら撮像装置としての回路規模の縮小化を可能としている。即ち、2つのCCD固体撮像素子31a、31bを同時駆動させながら第1及び第2の画像信号の出力タイミングを時分割に設定し、その出力タイミングに合わせて選択回路36を動作させることで、2つの画像信号の切り替え動作を効率良く行っている。そして、選択回路36以降のアナログ信号処理回路37、A/D変換回路38及びデジタル信号処理回路39を共有化することで、撮像装置としての回路規模の縮小化を効果的に実現している。更に、第1及び第2のCCD固体撮像素子31a、31bに対してタイミング制御回路34を共通に設けており、回路規模の更なる小型化を可能としている。

【0026】また、本願発明の撮像装置では、2つのCCD固体撮像素子31a、31bに対して2つのクランプ回路35a、35bを個別に設けている。このため、2つのCCD固体撮像素子31a、31bの製造ばらつき等によって第1及び第2の画像信号Ya(t)、Yb(t)の黒レベルにレベル差が生じたとしても、このレベル差を補正した後に選択回路36へ供給することができる。これにより、2つのCCD固体撮像素子31a、31bのそれぞれから得られる2つの撮像画像のコントラストのばらつきを抑制し、2つの撮像画像で画質が相違するのを防止することができる。

【0027】図4は、図1の動作を説明するタイミング図である。ここでは、図3に示す複数の表示モードのうちから、主として第1の撮像画像Aを表示し、左下の1/4の領域に第2の撮像画像Bを表示する場合(図3(a))を例にあげて説明する。尚、以下の説明において、第1及び第2のCCD固体撮像素子31a、31bの撮像部が12ラインで構成されるものとする。

【0028】タイミングt0～t1において、垂直同期信号VDのプランキング期間内で第1のフレーム転送クロックφa(f)及び第1の垂直転送クロックφa(v)がクロッキングされて、第1のCCD固体撮像素子31aの撮像部に蓄積される1画面分の情報電荷が蓄積部に転送出力される。続くタイミングt1～t2において、第2のフレーム転送クロックφb(f)及び第2の垂直転送クロックφb(v)がクロッキングされて、第2のCCD固体撮像素子31bの撮像部に蓄積される1画面分の情報電荷が蓄積部に転送出力される。ここで、第1のCCD固体撮像素子31aと第2のCCD固体撮像素子31bとでフレームシフトタイミングをずらすのは、フレームシフト開始時の突入電流のピーク値を低減させるためである。即ち、フレームシフトは、撮像部に蓄積された情報電荷を高速で蓄積部に転送出力するため、フレームシフト開

始時には過大な突入電流が流れる。そこで、2つのCCD固体撮像素子で同時にフレームシフトを開始しないことで、突入電流のピーク値を低く抑えている。

【0029】続いて、タイミングt3において、水平同期信号HDに同期するタイミングで第1の垂直転送クロックφa(v)がクロッキングされ始め、第1のCCD固体撮像素子31aの蓄積部に出力された1画面分の情報電荷が1ライン単位で順次水平転送部に転送出力され、水平転送部に出力された情報電荷が順次画像信号Ya(t)として出力される。これは、タイミングt5まで継続され、1画面分の上半分の領域に相当する6ライン分の画像信号が出力される。尚、この期間では、第2のCCDドライバ回路33bへの電力供給が停止され、第2の垂直転送クロックφb(v)がローレベルに固定されている。これにより、第2のCCD固体撮像素子31bから第2の画像信号Yb(t)の出力がなされないようにしている。

【0030】タイミングt4において、第1の基板クロックφa(b)が立ち上げられて、第1のCCD固体撮像素子31aの撮像部に蓄積された情報電荷が基板側に排出される。そして、次のフレームシフトタイミングまでの期間L_aで撮像部に情報電荷が蓄積される。また、タイミングt6において、第2の基板クロックφb(b)が立ち上げられて、次のフレームシフトタイミングまでの期間L_bで第2のCCD固体撮像素子31bの撮像部に情報電荷が蓄積される。

【0031】タイミングt5において、第1のCCD固体撮像素子31aからの6ライン分の画像信号の出力が完了すると、第1の垂直転送クロックφa(v)の周期が2倍に変更され、それと同じ周期で第2の垂直転送クロックφb(v)のクロッキングが開始される。第1及び第2の垂直転送クロックφa(v)、φb(v)は、タイミングt5～t7にわたってクロッキングされ、第1のCCD固体撮像素子31aから第2の画像信号Yb(b)が出力される。この期間では、図4に示すように、第1及び第2の垂直転送クロックφa(v)、φb(v)が交互に立ち上がるよう設定され、この結果、第1及び第2のCCD固体撮像素子31a、31bからは第1及び第2の画像信号Ya(t)、Yb(t)が1ライン単位で交互に出力される。このとき、第2の画像信号Yb(t)は、表示領域が垂直方向の1/2の領域に設定されているため、12ラインで構成される1画面分が1ラインおきに間引かれて6ラインで出力される。また、タイミングt5～t7においては、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミングに応答して、選択回路36でそれぞれの画像信号が選択的に取り出され、画像信号Y(t)として出力される。このように、第1及び第2の画像信号Y(t)の出力タイミングを制御し、その出力タイミングに合わせて選択回路36を動作させることで、指定された表示モードに合わせた順序で画像信号を取り出すことができる。

【0032】図5は、図4に示すタイミングで第1及び

第2のCCD固体撮像素子31a、31bから出力される第1及び第2の画像信号Ya(t)、Yb(t)と、選択回路36から出力される画像信号Y(t)と、デジタル信号処理回路39から出力される画像データD(n)との状態を示すタイミング図である。

【0033】第1の画像信号Ya(t)は、図4で説明したように、6ライン目までは、順次1ライン単位で連続して出力される。その後、7ライン目からは、第2の画像信号Yb(t)と互いに異なるタイミングで交互に出力される。第2の画像信号Yb(t)は、第1の画像信号Ya(t)が6ライン分の出力が完了した後に出力が開始される。

【0034】選択回路36から出力される画像信号Y(t)は、6ライン目までが第1の画像信号Ya(t)の6ラインとなり、7ライン目以降が第1の画像信号Ya(t)と第2の画像信号Yb(t)とが1ライン単位で交互に割り当てられる。即ち、第1の画像信号Ya(t)が6ライン目まで出力されるまでの期間では、選択回路36で第1のCCD固体撮像素子31a側が選択されており、第1の画像信号Ya(t)の6ライン目までがそのまま選択されて画像信号Y(t)として出力される。それ以降の期間では、選択回路36で第1のCCD固体撮像素子31a側と第2のCCD固体撮像素子31b側とが交互に選択され、第2の画像信号Yb(t)の1ライン目の信号に続いて第1の画像信号Ya(t)の7ライン目の信号、それに続いて第2の画像信号Yb(t)の3ライン目の信号という具合に、第1及び第2の画像信号Ya(t)、Yb(t)が交互に割り当てられて画像信号Y(t)として出力される。この結果、画像信号Y(t)の7ライン目以降は、実質的に第1の画像信号Ya(t)と第2の画像信号Yb(t)とが合成された状態となる。

【0035】デジタル信号処理回路39から出力される画像データD(n)は、第1の画像信号Ya(t)の6ライン目までに相当する画像信号Y(t)の6ライン目までが順次信号処理が施されて出力される。7ライン目以降は、第2の画像信号Yb(t)の1ライン分に対応する画像データが、デジタル信号処理回路39に内蔵される圧縮回路で1ラインの半分のデータに圧縮される。これに加え、7ライン目以降では、第1の画像信号Ya(t)の1ライン分に対応する画像データから表示領域には当たらない1ラインの前半のデータが取り除かれる。そして、圧縮された画像データと1ラインの後半のみが取り出されたデータとが合成されて1ライン分の画像データD(n)とされる。例えば、画像データD(n)の7ライン目のデータは、第2の画像信号Yb(t)の1ライン目から生成された画像データが1ラインの半分に圧縮されたデータと第1の画像信号Ya(t)の7ライン目から生成された画像データの1ラインの後半が取り出されたデータとが合成されて生成されている。これにより、表示画面には、第1のCCD固体撮像素子31aで撮像した第1の撮影画像Aの左下側1/4の領域に第2のCCD固体撮像素子31

bで撮像した第2の撮影画像Bが縮小表示され、2つの撮影画像が同時に表示される。

【0036】このように、第1の画像信号Ya(t)と第2の画像信号Yb(t)との出力を切り替え、それに合わせた圧縮処理や合成処理を行うことで、表示画面上での再生画像の表示形態を切り換えることができる。即ち、それぞれの表示領域に合わせて第1及び第2の画像信号Ya(t)、Yb(t)の各画像信号の出力を制御することで、フレームメモリを用いずとも、指定される表示モードに応じた画像データを生成することができる。例えば、図3(b)に示すように表示画面の垂直方向に1/2に分割された領域のそれぞれに第1及び第2の撮影画像A、Bを表示するには、第1及び第2の画像信号Ya(t)、Yb(t)を交互に出力するように第1及び第2のCCD31a、31bを駆動すれば良い。また、図3(c)、(d)に示すように第1の撮影画像A、或いは、第2の撮影画像Bの何れか一方のみを表示する場合には、表示を所望する画像に合わせて第1のCCD固体撮像素子31a、または、第2のCCD固体撮像素子31bの何れか一方を駆動させるようにすれば良い。

【0037】図6は、デジタル信号処理回路39の構成を示すブロック図である。デジタル信号処理回路39は、ラインメモリ41、第1及び第2の積分回路42、43、露光制御回路44、RGBプロセス回路45、第3及び第4の積分回路46、47及びホワイトバランス制御回路48で構成される。

【0038】ラインメモリ41は、A/D変換回路38から出力される画像データY(n)を1ライン単位で適数行を格納し、1水平走査期間で保持した後に第1及び第2の積分回路42、43に出力する。第1及び第2の積分回路42は、ラインメモリ41から出力される画像データY(n)を取り込み、例えば、1画面のうちの中央領域に相当する期間で積分する。これら第1及び第2の積分回路42、43は、タイミング制御回路34から供給される第1及び第2の積分制御信号W1、W2を受けて動作し、これら第1及び第2の積分制御信号W1、W2によって積分期間が制御される。第1及び第2の積分制御信号W1、W2は、第1及び第2の画像信号Ya(t)、Yb(t)の出力タイミング、或いは、出力順序に応じて生成され、例えば、ラインメモリ41から出力されるデータが第1の画像信号Ya(t)から生成されたデータである場合、図7に示すように、そのデータが出力される期間に対応して第1の積分制御信号W1がハイレベルに立ち上げられる。これにより、第1の積分制御信号W1を受ける第1の積分回路42では、第1の画像信号Ya(t)から生成された画像データの積分処理が行われる。逆に、ラインメモリ41から出力されるデータが第2の画像信号Yb(t)から生成されたデータである場合、そのデータが出力される期間に対応して第2の積分制御信号W2がハイレベルに立ち上げられ、第2の積分回路43で第2の

画像信号 $Y_b(t)$ から生成された画像データの積分処理が行われる。つまり、第 1 及び第 2 の積分回路 4 2、4 3 は、第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ のそれぞれに対応しており、第 1 の画像信号 $Y_a(t)$ に対応する画像データの積分と第 2 の画像信号 $Y_b(t)$ に対応する画像データの積分とを独立して行うことができる。

【0039】露光制御回路 4 4 は、第 1 及び第 2 の積分回路 4 2、4 3 に対して共通に配置され、これら 2 つの積分回路 4 2、4 3 からの出力に基づいて第 1 及び第 2 の CCD 固体撮像素子 3 1 a、3 1 b の露光状態の制御をそれぞれ独立して時分割で行う。即ち、第 1 の積分回路 4 2 から出力される積分データに基づいて第 1 の CCD 3 1 a の蓄積時間を伸縮制御し、第 2 の積分回路 4 3 から出力される積分データに基づいて第 2 の CCD 固体撮像素子 3 1 b の蓄積時間を伸縮制御する。例えば、第 1 の CCD 固体撮像素子 3 1 a の露光状態を制御する場合、第 1 の画像信号 $Y_a(t)$ から生成された画像データの積分値が適正範囲より大きくなると、第 1 の CCD 固体撮像素子 3 1 a の蓄積時間を短くするようにタイミング制御回路 3 3 へ指示を与える。逆に、積分値が適正範囲より小さくなると、蓄積時間を長くするように指示を与え、常に第 1 の CCD 固体撮像素子 3 1 a の露光状態が適当となるようにフィードバック制御する。

【0040】RGB プロセス回路 4 5 は、画像データ $Y(n)$ に対して、色分離、マトリクス演算等の処理を施し、輝度データ及び色差データを含む画像データ $D(n)$ を生成する。例えば、色分離処理においては、第 1 及び第 2 の CCD 3 1 a、3 1 b の撮像部に装着されるカラーフィルタの色配列に従って画像データ $Y(n)$ を振り分け、複数の色成分データ $R(n)$ 、 $G(n)$ 、 $B(n)$ を生成する。また、マトリクス演算処理においては、振り分けた各色成分データを合成して輝度データを生成すると共に、各色成分データから輝度データを差し引いて色差データを生成する。また、RGB プロセス回路 4 5 には、圧縮回路、合成回路が内蔵され、必要に応じて特定の画像データに対する圧縮処理を行うと共に、第 1 の CCD 固体撮像素子 3 1 a から得られる画像データと第 2 の CCD 固体撮像素子 3 1 b から得られる画像データとを合成する。

【0041】第 3 及び第 4 の積分回路 4 6、4 7 は、RGB プロセス回路 4 5 から出力される色成分データ $R(n)$ 、 $G(n)$ 、 $B(n)$ を取り込み、例えば、1 画面単位から数画面単位で各色成分データ毎に積分する。これら第 3 及び第 4 の積分回路 4 6、4 7 は、第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の出力タイミング、或いは、出力順序に対応して生成される第 3 及び第 4 の積分制御信号 W_3 、 W_4 を受けて動作し、第 1 の画像信号 $Y_a(t)$ から生成された色成分データ $R(n)$ 、 $G(n)$ 、 $B(n)$ の積分と第 2 の画像信号 $Y_b(t)$ から生成された色成分データ $R(n)$ 、 $G(n)$ 、 $B(n)$ の積分とをそれぞれ独立して行う。

【0042】ホワイトバランス制御回路 4 8 は、第 3 及び第 4 の積分回路 4 6、4 7 に対して共通に配置され、これら 2 つの積分回路 4 6、4 7 から出力される積分データに基づいて第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ から生成された画像データのホワイトバランスの補正をそれぞれ独立して時分割で行う。このホワイトバランスの補正においては、例えば、第 1 の画像信号 $Y_a(t)$ から生成された画像データのホワイトバランスを補正する場合、第 3 の積分回路 4 6 から出力される色成分データ $R(n)$ 、 $G(n)$ 、 $B(n)$ の各積分値を比較し、これらの積分値が一致するように色成分信号 $R(n)$ 、 $B(n)$ に固有の係数を乗算する。

【0043】このように、第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ のそれぞれに対応して複数の積分回路を設け、第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ の出力タイミングに応じて各積分回路で積分処理を行うことで、第 1 及び第 2 の画像信号 $Y_a(t)$ 、 $Y_b(t)$ から生成される画像データの積分をそれぞれ独立して行うことができる。更には、これらの積分回路に対して露光制御回路 4 4、或いは、ホワイトバランス制御回路 4 8 を共通に設ける構成としたことで、デジタル信号処理回路 3 9 の回路規模の大型化を最小限に抑えている。

【0044】また、この第 1 の実施形態においては、タイミング制御回路 3 4 を第 1 及び第 2 の CCD 固体撮像素子に対して共通としているため、2 つの CCD 固体撮像素子の駆動条件が等しく設定されるが、これら 2 つの CCD 固体撮像素子が全くの同一構成である必要はない。例えば、駆動条件が同一であれば、カラー撮像用やモノクロ撮像用の CCD 固体撮像素子を組み合わせて用いても良いし、デバイス構造の異なる CCD 固体撮像素子を用いても良い。ただし、カラー撮像とモノクロ撮像の CCD 固体撮像素子を組み合わせて用いる場合、カラー撮像用とモノクロ撮像用の両者に対応できる信号処理回路が適用される。

【0045】続いて、本願発明の第 2 の実施形態を説明する。図 8 は、本願発明の第 2 の実施形態を示すブロック図である。この第 2 の実施形態において、第 1 の実施形態と異なる点は、タイミング制御回路を第 1 及び第 2 の CCD 固体撮像素子 3 1 a、3 1 b に対して各別に設けた点にある。

【0046】第 1 及び第 2 のタイミング制御回路 5 0 a、5 0 b は、第 1 及び第 2 の CCD 固体撮像素子 3 1 a、3 1 b のそれぞれに対応して各別に設けられ、それぞれが独立して動作する。これら第 1 及び第 2 のタイミング制御回路 5 0 a、5 0 b は、同一構成の回路であり、一定周期の基準クロック CK をカウントするカウンタ及びこのカウンタの出力をデコードするデコーダとを備えて構成される。第 1 及び第 2 のタイミング制御回路 5 0 a、5 0 b では、デコーダの設定値を変更することで様々なタイミング信号を複数生成することができる。

【0047】このような構成において、例えば、第1のCCD固体撮像素子31aを駆動させる場合、第1のタイミング制御回路50aにて生成されるタイミング信号が第1のCCDドライバ回路31aに供給され、このタイミング信号に基づいて第1のフレーム転送クロック $\phi_a(f)$ 、第1の垂直転送クロック $\phi_a(v)$ 、第1の水平転送クロック $\phi_a(h)$ 及び第1のリセットクロック $\phi_a(r)$ が生成される。そして、第1のCCD固体撮像素子31aが駆動し、第1の画像信号Y(t)が第1のクランプ回路5aに取り込まれる。このとき、第2のタイミング制御回路50bは、タイミング信号の出力を停止しており、これにより、第2のCCDドライバ回路32b及び第2のCCD固体撮像素子31bの駆動が停止されている。

【0048】このように、第1及び第2のCCD固体撮像素子31a、31bのそれぞれに対応付けて別々にタイミング制御回路を設けることで、各CCD固体撮像素子の仕様に合わせて別々のクロックパルスを生成することが可能となる。したがって、第1及び第2のCCD固体撮像素子31a、31bが互いに周波数の異なるクロックパルスで動作する固体撮像素子であったとしても、第1の実施形態と同様の動作を行うことができる。また、この第2の実施形態では、第1及び第2の昇圧回路33a、33bが第1及び第2のCCD固体撮像素子31a、31bのそれぞれに対応して各別に設けられるため、2つのCCD固体撮像素子の動作電圧が相違しても、何ら問題はなく、2つのCCD固体撮像素子の効率的な動作が可能である。尚、アナログ信号処理回路37やデジタル信号処理回路39等の動作制御は、動作中のタイミング制御回路からのタイミング信号によって行われる。

【0049】統いて、本願発明の第3の実施形態を説明する。図9は、本願発明の第3の実施形態の構成を示すブロック図である。この第3の実施形態において、第1の実施形態と異なる点は、第2の実施形態と同様の第1及び第2のタイミング制御回路50a、50bを設けたうえで、第1のCCD固体撮像素子31a用と第2のCCD固体撮像素子31b用とで昇圧回路61を共有化すると共に、クランプ回路35の前段に選択回路62を配置してクランプ回路35以降の信号処理系列を一本化したことにある。

【0050】昇圧回路61は、昇圧部61a及び出力選択部61bからなり、昇圧部61aは、入力される電源電圧を昇圧して昇圧電圧を生成し、出力選択部61bは、昇圧部61bの出力の供給先を第1のCCD固体撮像素子31a、第2のCCD固体撮像素子33aの動作タイミングに合わせて切り換える。そして、第1のCCD固体撮像素子31aを駆動させるとき、昇圧回路61は、昇圧部61aにて生成した昇圧電圧を第1のCCD固体撮像素子31a及び第1のCCDドライバ回路32aに出力し、第2のCCD固体撮像素子31bを駆動さ

せるとき、昇圧電圧を第2のCCD固体撮像素子33a及び第2のCCDドライバ回路32bに出力する。尚、出力選択部61bによる切換動作は、第1及び第2のCCD固体撮像素子31a、31bの切換動作と同期して行われる。

【0051】選択回路62は、第1及び第2のトランジスタ62a、62b、抵抗素子62cからなる。第1及び第2のトランジスタ62a、62bは、それぞれ第1のCCD固体撮像素子31a、第2のCCD固体撮像素子31bに対応して設けられ、電源電圧VDと接地点との間に抵抗素子62cと直列接続される。これら第1及び第2のトランジスタ62a、62bは、例えば、バイポーラトランジスタから構成され、ベース端子に第1及び第2のCCD固体撮像素子31a、31bの出力をそれぞれ受ける。したがって、選択回路62では、第1及び第2のCCD固体撮像素子31a、31bのうち、動作中のCCD固体撮像素子からの画像信号をインピーダンス変換して次段のクランプ回路35へ画像信号Y(t)として出力する。

【0052】このような構成において、例えば、第1のCCD固体撮像素子31aを駆動させる場合、第1のタイミング制御回路60aにて生成されるタイミング信号が第1のCCDドライバ回路32aへ供給されると共に、出力選択部61bで第1のCCDドライバ回路32a側が選択されて昇圧電圧が第1のCCDドライバ回路32aへ供給される。これにより、第1のCCD固体撮像素子31aが駆動し、第1の画像信号Ya(t)が選択回路62中の第1のトランジスタ62aに取り込まれる。そして、第1のトランジスタ62aが活性化し、第1の画像信号Ya(t)が画像信号Y(t)として出力される。

【0053】この第3の実施形態によれば、昇圧回路51が共通となっているため、2つのCCD固体撮像素子を同時駆動することができないといった制約を受けることになるが、第1及び第2の実施形態よりも回路構成を簡略化することができ、従来構成に対してシステム規模の大幅な縮小化を図ることができる。また、この第3の実施形態では、2つのCCD固体撮像素子の駆動に対して1つの昇圧回路を動作させるのみとなるため、消費電力を低減化することができとなり、バッテリ駆動するような撮像装置に対して特に有効となる。

【0054】以上第1乃至第3の実施形態を例示して本願発明を説明した。本願発明の撮像装置によれば、効率的な動作を可能としながら、システム規模の縮小化を図ることができる。また、第2及び第3の実施形態のように、タイミング制御回路をそれぞれのCCD固体撮像素子に対応して設けることで、互いに駆動条件の異なるCCD固体撮像素子であっても、効率的な動作とシステム規模の縮小化との両立を図ることができる。このような撮像装置は、汎用性が高く、各実施形態を選択的に採用することで、様々なアプリケーションに適用されること

が可能である。以下に、その適用形態の一例を説明する。

【0055】監視カメラシステムで用いられるCCD固体撮像素子には、一般に、非常に広いダイナミックレンジと高い受光感度との両立が望まれ、これを1つのCCD固体撮像素子で実現するには、夜間等の暗い場所での撮像に合わせて受光感度の高いCCD固体撮像素子及び赤外照明を採用すると共に、昼間等の明るい場所での撮像に合わせて赤外カットフィルタをCCDの受光面側にセットするといった構成が考えられる。これらの構成に加えて、赤外照明の制御や赤外カットフィルタの開閉制御等を行う機構が必要となり、システム全体としての機構が複雑となる。このため、CCD固体撮像素子が1つであるにも拘わらず、結果的にカメラシステムの規模の増大やコストの増大を招いてしまう。

【0056】そこで、第1及び第2のCCD固体撮像素子のうち、第2のCCD固体撮像素子を赤外感度の高い固体撮像素子に設定し、第1のCCD固体撮像素子がそれよりも赤外感度の低い、一般的な固体撮像素子に設定する。昼間等の明るい場所での撮像では、第1のCCD固体撮像素子だけを駆動し、逆に、夜間等の暗い場所での撮像では、第2のCCD固体撮像素子だけを駆動する。この際、第1及び第2のCCD固体撮像素子の駆動の切換は、被写体照度に応じて自動的に行われるのが望ましい。即ち、露光制御の際に測光センサで測定される照度や信号処理回路で算出される画像信号の積分値を利用して行うことが可能である。

【0057】このように本願発明を適用すれば、CCD固体撮像素子が1つの場合と比べると、2つのCCD固体撮像素子やCCDドライバ回路が配置されることとなるが、赤外照明や赤外カットフィルタ及びこれらを制御する機構が不要となる。このため、実質的にシステム規模を縮小することができ、これに伴って、コストの削減を図ることができる。また、2つのCCD固体撮像素子が配置されるため、それぞれの撮像条件に適したレンズを各固体撮像素子に別々に設定することが可能となる。

【0058】次に、別の適用形態を説明する。従来より、携帯電話機等の携帯機器にカメラ機能を内蔵し、携行先で簡易なデジタルカメラとして使用可能なものがある。このような携帯電話機では、携行先で撮像した画像をインターネット回線を通じて送信することができる機能が含まれていることが多く、この機能を利用するには、ユーザーが携帯電話機の操作キーを用いて画像の送信先を指定するアドレスを入力する必要がある。そして、近年では、アドレス入力の煩わしさを解消するために、アドレスをバーコード表示し、このバーコードをセンサで読み取って一括的にアドレス入力を完了させるといった機能を盛り込むことが考えられている。

【0059】そこで、第2のCCD固体撮像素子に第1のCCD固体撮像素子よりも受光画素数の多いCCD固

体撮像素子を適用する。そして、一般に高い解像度が要求されるバーコード読み取り等の画像認識の際には、解像度の高い第2のCCD固体撮像素子を駆動し、一方、通常の撮像を行う場合には、第1のCCD固体撮像素子を駆動する。このような構成は、バーコード読み取り機能だけでなく、例えば、セキュリティのための指紋センサ等と通常の撮像を両立させる場合にも適用することができる。

【0060】ここで、説明した監視カメラシステム、バーコード読み取りシステム及び指紋センサシステムは、本願発明の適用形態としての一部である。即ち、互いに撮像条件の異なる複数の撮像を1つのシステムで両立させるような場合には、本願発明は、十分に適用可能である。

【0061】以上の実施形態においては、第1及び第2のCCD固体撮像素子がフレームトランスマスク型である場合を例にあげて説明したが、本願発明は、これに限られるものではなく、1画面分の情報電荷を一時的に保持することのできる蓄積部を備えるフレームインターライン型の固体撮像素子を用いた撮像装置にも適している。

【0062】また、デジタル信号処理の露光制御、ホワイトバランス制御において、2つのCCD固体撮像素子に対応付けて複数の積分回路を設ける構成を示しているが、本願発明は、これに限られるものではない。例えば、1ライン単位や1画面単位で第1及び第2のCCD固体撮像素子を交互に駆動させるといった2つのCCD固体撮像素子の動作切り換えを頻繁に行う場合には、積分回路を各CCD固体撮像素子に対応付けて別々に設けるのが望ましいが、複数画面単位で2つのCCD固体撮像素子の動作を切り換えるような場合には、積分回路を2つのCCD固体撮像素子で共有化しても良い。

【0063】

【発明の効果】本願発明によれば、2つのCCD固体撮像素子からの画像信号の出力タイミングを時分割に設定し、その出力タイミングに合わせて選択回路を動作させている。これにより、2つの画像信号の切り替え動作を効率良く行うことができ、機能低下の弊害を防止することができる。更に、選択回路を信号処理回路の前段に配置して以降の回路を共有化する構成としたことで、撮像装置としての回路規模を最大限に縮小化することを可能としている。

【図面の簡単な説明】

【図1】本願発明の撮像装置の第1の実施形態の構成を示すブロック図である。

【図2】固体撮像素子の構成を示す平面図である。

【図3】表示モードの一例を示す模式図である。

【図4】図1の動作を説明するタイミング図である。

【図5】第1及び第2の画像信号 $Y_a(t)$ 、 $Y_b(t)$ 、画像信号 $Y(t)$ 、画像データ $D(n)$ の状態を示すタイミング図である。

【図6】デジタル信号処理回路の構成を示すブロック図である。

【図7】第1及び第2の積分制御信号を説明するタイミング図である。

【図8】本願発明の第2の実施形態の構成を示すブロック図である。

【図9】本願発明の第3の実施形態の構成を示すブロック図である。

【図10】従来の撮像装置の構成を示すブロック図である。

【図11】表示モードの一例を示す模式図である。

【符号の説明】

1 a、3 1 a : 第1のCCD固体撮像素子

1 b、3 1 b : 第2のCCD固体撮像素子

2 a、3 2 a : 第1の昇圧回路

2 b、3 3 b : 第2の昇圧回路

3 a、3 3 a : 第1のCCDドライバ回路

3 b、3 3 b : 第2のCCDドライバ回路

4 a : 第1のタイミング制御回路

4 b : 第2のタイミング制御回路

5 a : 第1のアナログ信号処理回路

5 b : 第2のアナログ信号処理回路

6 a : 第1のA/D変換器

6 b : 第2のA/D変換器

7 a : 第1のデジタル信号処理回路

7 b : 第2のデジタル信号処理回路

8 a : 第1のメモリ

8 b : 第2のメモリ

9 : メモリコントローラ

3 4 : タイミング制御回路

3 5 a : 第1のクランプ回路

3 5 b : 第2のクランプ回路

3 6 : 選択回路

3 7 : アナログ信号処理回路

3 8 : A/D変換回路

3 9 : デジタル信号処理回路

4 1 : ラインメモリ

4 2 : 第1の積分回路

4 3 : 第2の積分回路

4 4 : 露光制御回路

4 5 : RGBプロセス回路

4 6 : 第3の積分回路

4 7 : 第4の積分回路

4 8 : ホワイトバランス制御回路

5 0 a : 第1のタイミング制御回路

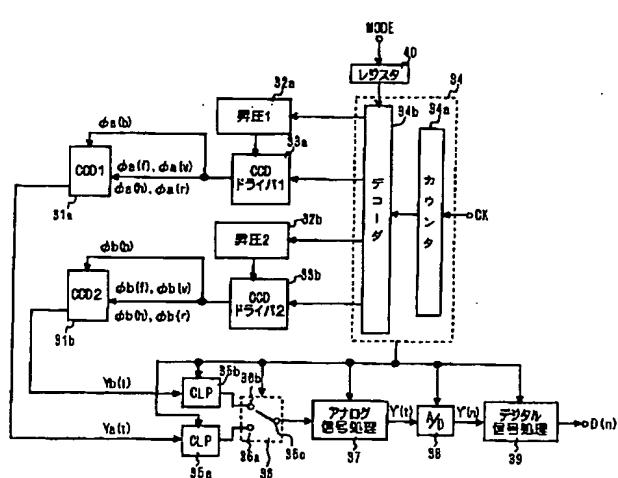
5 0 b : 第2のタイミング制御回路

6 1 : 昇圧回路

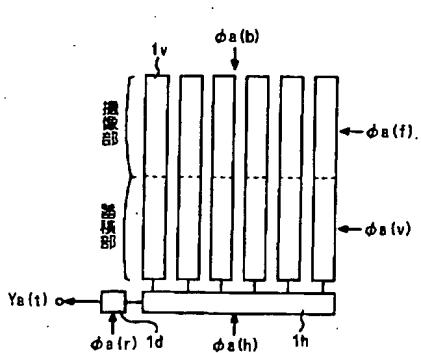
6 1 a : 昇圧部

6 1 b : 出力選択部

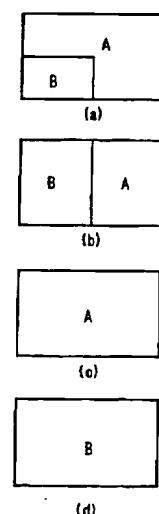
【図1】



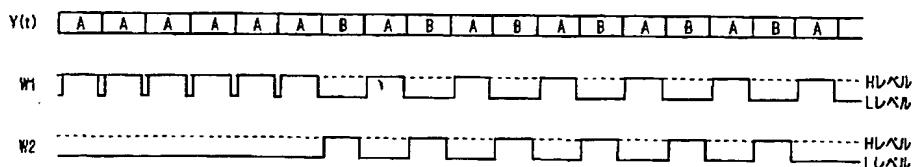
【図2】



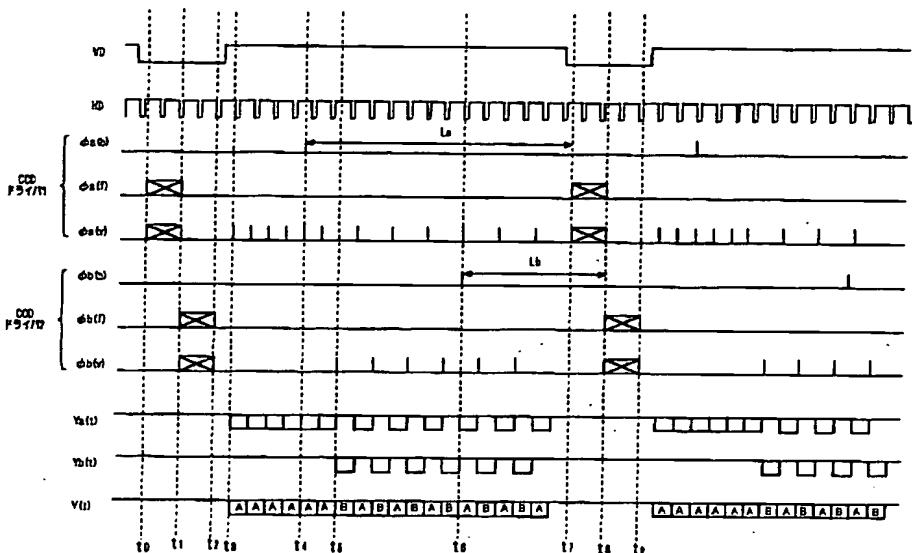
【図3】



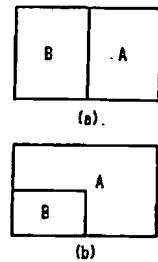
【図7】



〔図4〕



〔图11〕

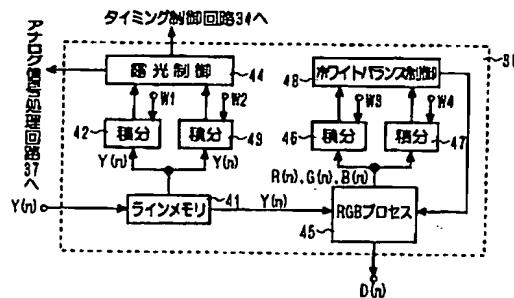


[図5]

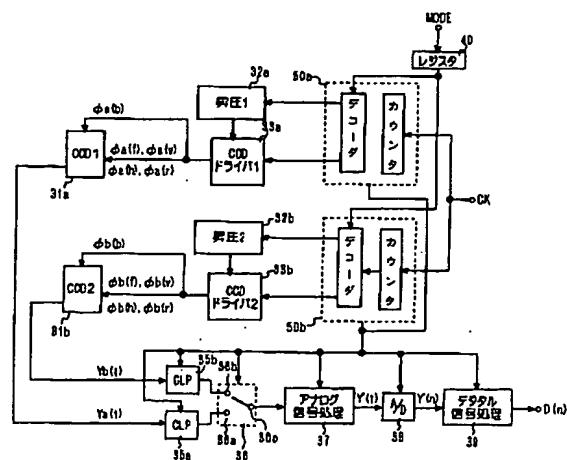
Timing diagram showing four parallel processes $Y_a(t)$, $Y_b(t)$, $Y(t)$, and $D(t)$ over 12 time steps.

| Time Step | $Y_a(t)$ | $Y_b(t)$ | $Y(t)$ | $D(t)$ |
|-----------|----------|----------|--------|--------|
| 1 | 1 | | A | A |
| 2 | 2 | | A | A |
| 3 | 8 | | A | A |
| 4 | 4 | | A | A |
| 5 | 6 | | A | A |
| 6 | 8 | | B | A |
| 7 | | ① | A | BA |
| 8 | | ② | B | BA |
| 9 | | ③ | A | BA |
| 10 | | ④ | B | BA |
| 11 | | ⑤ | A | BA |
| 12 | | ⑥ | A | BA |

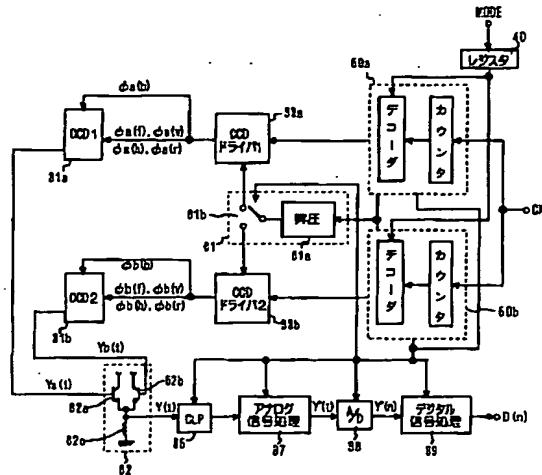
【図6】



[図 8]



【図 9】



【図 10】

